

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-223148

(43)Date of publication of application : 08.08.2003

(51)Int.Cl.

G09G 3/36
G02F 1/133
G09G 3/20

(21)Application number : 2002-019903

(71)Applicant : NEC KANSAI LTD

(22)Date of filing : 29.01.2002

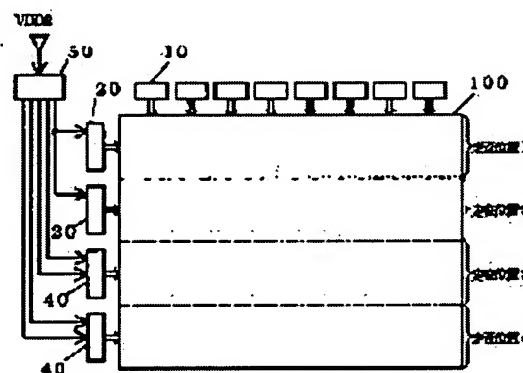
(72)Inventor : MINAMI TADAO
HIRATSUKA JUN

(54) METHOD FOR DRIVING LIQUID CRYSTAL DISPLAY DEVICE AND LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent luminance unevenness at the terminal side of data lines of a liquid crystal panel.

SOLUTION: In this liquid crystal display device, two pieces of vertical driver ICs 20, 20 and two pieces of vertical driver ICs 40, 40 are arranged with cascade connection respectively at the power feeding side of the data lines and at the terminal side of the data lines of the periphery of one side (the left side) of a liquid crystal panel 100.

Then, a voltage $VDD2-\Delta V1$, voltages $VDD2-\Delta V2A$ ($\Delta V1 > \Delta V2A$), $VDD2-\Delta V2B$ ($\Delta V2A > \Delta V2B$) and voltages $VDD2-\Delta V3$ ($\Delta V2B > \Delta V3$), $VDD2$ are generated from a power source circuit 50 and outputted respectively to the external power source terminal $VDD2$ of the ICs 20, 20, external power source terminals $VDD2A$ and $VDD2B$ of the IC 40 of the power feeding side of the data lines and external power source terminals $VDD2A$ and $VDD2B$ of the IC 40 of the terminal side of the data lines so that the voltage value of the scanning signal to be outputted from respective ICs 20, 20, 40, and 40 becomes higher at the terminal side of the data lines than that at the power feeding side of the data lines.

LEGAL STATUS

[Date of request for examination]

19.08.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開2003-223148

(P2003-223148A)

(43)公開日 平成15年8月8日(2003.8.8)

(51) Int.Cl. ⁷	識別記号	F I	テマコード ⁸ (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 J 5 C 0 8 0
	6 1 2		6 1 2 D
	6 2 2		6 2 2 C
		審査請求 未請求 請求項の数 4	OL (全 7 頁) 最終頁に続く

審査請求 未請求 請求項の数4 OL (全 7 頁) 最終頁に続く

(21)出願番号	特願2002-19903(P2002-19903)	(71)出願人	000156950 関西日本電気株式会社 滋賀県大津市晴嵐2丁目9番1号
(22)出願日	平成14年1月29日(2002.1.29)	(72)発明者	南 忠生 滋賀県大津市晴嵐2丁目9番1号 関西日本電気株式会社内
		(72)発明者	平塚 肇 滋賀県大津市晴嵐2丁目9番1号 関西日本電気株式会社内

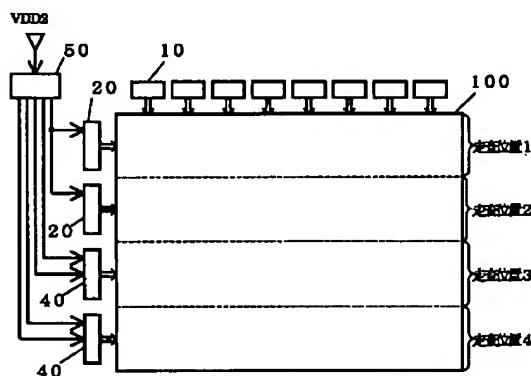
最終頁に続く

(54) 【発明の名称】 液晶表示装置の駆動方法および液晶表示装置

(57)【要約】

【課題】 液晶パネルのデータ線の終端側での輝度むらを防止する。

【解決手段】 液晶パネル１００の左側外周のデータ線給電側に２個の垂直ドライバＩＣ２０と、データ線終端側に２個の垂直ドライバＩＣ４０とがカスケード接続で片側配置される。各ＩＣ２０、４０から出力される走査信号の電圧値が、データ線給電側よりデータ線終端側で高くなるように、電源回路５０からＩＣ２０の外部電源端子ＶＤＤ２に電圧 $V_{DD2}-\Delta V1$ 、データ線給電側のＩＣ４０の外部電源端子ＶＤＤ２ＡおよびＶＤＤ２Ｂに電圧 $V_{DD2}-\Delta V2A$ ($\Delta V1 > \Delta V2A$) および $V_{DD2}-\Delta V2B$ ($\Delta V2A > \Delta V2B$)、データ線終端側のＩＣ４０の外部電源端子ＶＤＤ２ＡおよびＶＤＤ２Ｂに電圧 $V_{DD2}-\Delta V3$ ($\Delta V2B > \Delta V3$) およびＶＤＤ２を生成出力する。



【特許請求の範囲】

【請求項1】アクティブマトリックス駆動方式の液晶表示装置の駆動方法において、走査線を駆動する電圧が、走査線の位置に応じて、データ線給電側よりデータ線終端側で高いことを特徴とする液晶表示装置の駆動方法。

【請求項2】走査線を線順次に駆動する半導体集積回路を有するアクティブマトリックス駆動方式の液晶表示装置において、前記半導体集積回路により走査線を駆動する電圧が、走査線の位置に応じて、データ線給電側よりデータ線終端側で高いことを特徴とする液晶表示装置。

【請求項3】前記半導体集積回路が複数個で構成され、データ線終端側に配置される半導体集積回路からの前記電圧をデータ線給電側に配置される半導体集積回路からの前記電圧より高くすることを特徴とする請求項2記載の液晶表示装置。

【請求項4】前記半導体集積回路のうち、少なくともデータ線の一番終端側に配置される半導体集積回路からの前記電圧が、複数の異なる電圧値で出力され、データ線給電側よりデータ線終端側で高いことを特徴とする請求項3記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアクティブマトリックス方式の液晶表示装置の駆動方法および液晶表示装置に関する。

【0002】

【従来の技術】アクティブマトリックス方式の液晶表示装置の液晶表示モジュールは、図4に示すように液晶パネル100と液晶パネル100の外周に配置した駆動装置200とを具備している。液晶パネル100は、画素を構成する画素電極およびTFT（薄膜トランジスタ）がマトリックス状に形成されたリア側のガラス基板と、コモン電極およびカラーフィルタが形成されたフロント側のガラス基板とが液晶を介して互に対向配置され、TFTと画素電極に、水平方向に延在し垂直方向に並設される走査線と、垂直方向に延在し水平方向に並設されるデータ線が接続されて構成されている。駆動装置200は、液晶パネル100のデータ線に接続される水平ドライバIC210と、走査線に接続される垂直ドライバIC220とで構成されている。垂直ドライバIC220から各走査線に線順次に走査信号が供給されることにより、走査信号が供給された走査線に接続されている各TFTがオンし、水平ドライバIC210から各データ線に同時に供給された駆動電圧がこのオンしたTFTを介して対応する画素電極に供給され、コモン電極に供給される電圧（以下、コモン電圧 V_{com} という）との電位差で液晶を駆動する。

【0003】各ドライバIC210、220のモジュールへの実装は、例えばXGA（1024×768画素）

表示の場合、

①水平ドライバIC210は、1画素を表示するためにデータ線はR（赤）、G（緑）、B（青）用の3本が必要のため、1024×3=3072本のデータ線を駆動する必要があり、例えば、384本分の駆動能力を有する水平ドライバIC210を液晶パネル100の上側外周に8個をカスケード接続で片側配置される。

②垂直ドライバIC220は、768本のゲート線を駆動する必要があり、例えば192本分の駆動能力を有する垂直ドライバIC220を液晶パネル100の左側外周に4個をカスケード接続で片側配置される。

【0004】水平ドライバIC210により各画素電極に供給される駆動電圧は、液晶固有の特性からコモン電圧 V_{com} に対して正電圧と負電圧を交互に供給しなければならず、例えば、64階調表示の場合、正電圧として正極性階調電圧 $VP0 \sim VP63$ （ $V_{com} < VP0 < \dots < VP63$ ）のうちのひとつの階調電圧 VPx と、負電圧として負極性階調電圧 $VN0 \sim VN63$ （ $V_{com} > VN0 > \dots > VN63$ ）のうちのひとつの階調電圧 VNx とが交互に供給される。この正電圧と負電圧を交互に供給する駆動方式としては、1画面（フレーム）ごとに切り換えるフレーム反転駆動や、1走査線ごとに切り換えるライン反転駆動や、1画素電極単位で切り換えるドット反転駆動等の交流駆動方式が提案されており、垂直ドライバIC220により、ライン反転駆動やドット反転駆動の場合では、1走査線を走査すること、フレーム反転駆動の場合では、1フレームを走査すること、液晶パネルの駆動電圧として、水平ドライバIC210からデータ線に正電圧と負電圧を交互に供給する。

【0005】上記水平ドライバIC210としてのドット反転駆動の水平ドライバIC10の概略構成について、384本分の駆動能力を有するものとして、図5を参照して説明する。水平ドライバIC10は表示データとしてR、G、B各色6ビットのデータ信号DATAを供給することにより64階調の正極性および負極性階調電圧を駆動電圧として384本のデータ線に奇数線と偶数線とで極性が互い違いとなるようにして1走査期間ごとに交互に出力するもので、主回路としてシフトレジスタ11、データレジスタ12、データラッチ13、レベルシフタ14、DAコンバータ15および出力バッファ16を有している。

【0006】シフトレジスタ11は、例えば、64ビット双方向性でシフト方向切換え信号R/Lにより右シフト・スタートパルス入出力STHRまたは左シフト・スタートパルス入出力STHLが選択され、クロック信号CLKのエッジでスタートパルスSTHRまたはSTHLの“H”レベルを読み込み、データ取込み用の制御信号C1、C2、…、C64を順次生成し、データレジスタ12に供給する。

【0007】データレジスタ12は、シフトレジスタ1

1の制御信号C1、C2、…、C64に基づき、6ビット×6ドット（RGB×2）の36ビット幅で供給されるデータ信号DATAを取込み、データラッチ13は、データレジスタ12に取込まれたデータ信号DATAをストロブ信号STBのタイミングで保持するとともに、レベルシフト14に1走査期間ごと一括供給する。

【0008】レベルシフト14は、データラッチ13からのデータ信号を電圧レベルを高めてDAコンバータ15に1走査期間ごと供給する。

【0009】DAコンバータ15は、384個の各出力に対応するデータ信号DATAに基づき内部の階調電圧発生回路で生成された64階調の階調電圧のうち1つを極性制御信号POLにより1走査期間ごと正極性と負極性を交互に切り換えて内部のROMデコーダで選択し出力バッファ16で駆動能力を高めて384本の各データ線に駆動電圧として奇数線と偶数線とで極性が互い違いになるように出力する。

【0010】次に、上記垂直ドライバIC220としての垂直ドライバIC20について、走査線192本分の駆動能力を有するものとして、図6を参照して説明する。垂直ドライバIC20は、第1レベルシフト21、シフトレジスタ22、第2レベルシフト23、出力バッファ24、および内部電源25を有している。

【0011】第1レベルシフト21は、シフトレジスタ22への入力信号であるシフト方向切り替え入力R/L、およびシフト・クロック入力CLKをCMOSレベル（例えば、VDD1=3.3V、VSS=0V）から内部動作レベル（例えば、VCC=-3V、VEE=-10V）にそれぞれレベルシフトしてシフトレジスタ22に供給するとともに、シフトレジスタ22の入出力信号であるスタート・パルス入出力STVR、STVLを、入力時にはCMOSレベルから内部動作レベルにレベルシフトしてシフトレジスタ22に供給し、出力時には内部動作レベルからCMOSレベルにレベルシフトしてシフトレジスタ22から出力する。

【0012】シフトレジスタ22は、192ビット双方向性で、シフト方向切換え信号R/Lにより、例えば、R/L=“H”レベルのとき右シフトの方向となり、クロック信号CLKの立ち上がりエッジでスタート・パルスSTVRの“H”レベルを読み込み、シフト信号SR1、SR2、…、SR192を順次、第2レベルシフト23に出力するとともに、左シフト・スタート・パルス入出力STVL端子から次段のドライバICにスタート・パルスSTVRとして出力する。

【0013】第2レベルシフト23は、シフトレジスタ22からのシフト信号SR1、SR2、…、SR192を内部動作レベルから出力レベル（例えば、VDD2=23V、VEE=-10V）にそれぞれレベルシフトして出力バッファ24に供給する。

【0014】出力バッファ24は、第2レベルシフト23でレベルシフトされたシフト信号SR1、SR2、…、SR192を駆動能力を上げて走査信号O1、O2、…、O192として出力する。

【0015】内部電源25は、外部電源電圧VDD1を供給することにより、シフトレジスタ22に内部電圧VCCを供給する。

【0016】次に、上記水平ドライバIC10および垂直ドライバIC20を用いた従来の液晶表示装置について、XGA（1024×768画素）表示の能力があるものとして図7を参照して説明する。この液晶表示装置は、図4に示す水平ドライバIC210として、液晶パネル100の上側外周に8個の水平ドライバIC10がカスケード接続で片側配置され、図4に示す垂直ドライバIC220として、液晶パネル100の左側外周に4個の垂直ドライバIC20がカスケード接続で片側配置される。4個の垂直ドライバIC20の各外部電源端子VDD2には、同一電圧値の外部電源電圧VDD2が供給される。

【0017】

【発明が解決しようとする課題】ところで、出力バッファ16から各データ線への駆動電圧は、図8に示すように、ストロブ信号STBのタイミングで、例えば、極性制御信号POL=“H”レベルのとき正電圧VPx、“L”レベルのとき負電圧VNxとで交互に出力されるため、この駆動電圧の波形は、負電圧から正電圧の立ち上がり波形と正電圧から負電圧の立ち下がり波形となる。この立ち上がり波形および立ち下がり波形の立ち上がりおよび立ち下がり時間は、液晶パネルの負荷が一定とした場合、出力バッファ16のスルーレートにより決定され、正電圧と負電圧との電圧差が大きくなるほど長くなり、正電圧と負電圧との電圧差が最大となるとき最長となるため、このスルーレートはこの最長時間を考慮して決定されている。しかしながら、液晶パネルは、昨今の液晶表示装置の需要の高まりとともに、大型化してきており、この大型化はデータ線における信号伝送距離の増大を招来する。その結果、液晶パネル面内において、データ線の配線抵抗および配線容量が大きくなり、これらと液晶の容量により形成されるCR分布定数回路により、図7に示す液晶パネルの走査線の走査位置をデータ線の給電側より終端側に、例えば、各垂直ドライバIC20に対応して第1走査位置～第4走査位置に分けたときの終端側に近い、第3走査位置や第4走査位置では、図9の破線で示すように、駆動電圧波形が歪み、駆動電圧の実効値の低下となり、液晶パネルにおいて、データ線の給電側と終端側の位置とで輝度の相違が生じ、いわゆる輝度むらが発生するという問題がある。本発明は上記問題点を鑑みてなされたものであり、液晶パネルの位置によって輝度むらが生じない液晶表示装置の駆動方法および液晶表示装置を提供することである。

【0018】

【課題を解決するための手段】本発明の液晶表示装置の駆動方法は、アクティブマトリックス駆動方式の液晶表示装置の駆動方法において、走査線を駆動する電圧が、走査線の位置に応じて、データ線給電側よりデータ線終端側で高いことを特徴とする。本発明の液晶表示装置は、走査線を線順次に駆動する半導体集積回路を有するアクティブマトリックス駆動方式の液晶表示装置において、前記半導体集積回路により走査線を駆動する電圧が、走査線の位置に応じて、データ線給電側よりデータ線終端側で高いことを特徴とする。上記の液晶表示装置において、前記半導体集積回路が複数個で構成され、データ線終端側に配置される半導体集積回路からの前記電圧をデータ線給電側に配置される半導体集積回路からの前記電圧より高くすることを特徴とする。また、上記の液晶表示装置において、前記半導体集積回路のうち、少なくともデータ線の一番終端側に配置される半導体集積回路からの前記電圧が、複数の異なる電圧値で出力され、データ線給電側よりデータ線終端側で高いことを特徴とする。

【0019】

【発明の実施の形態】以下に、本発明の第1実施例の液晶表示装置について、XGA(1024×768画素)表示の能力があるものとして図1を参照して説明する。この液晶表示装置は、図7の液晶表示装置と同様に、図4に示す水平ドライバIC210として、液晶パネル100の上側外周に8個の水平ドライバIC10がカスケード接続で片側配置され、図4に示す垂直ドライバIC220として、液晶パネル100の左側外周に第1走査位置～第4走査位置のそれぞれに対応して4個の垂直ドライバIC20がカスケード接続で片側配置される。図7の液晶表示装置と異なる点は、図7の液晶表示装置では、4個の垂直ドライバIC20の外部電源端子VDD2に同一外部電源電圧VDD2が供給されるが、本発明では、データ線の給電側より終端側に配置される垂直ドライバIC20の方が高い電圧が供給され、それらの電圧を供給するための電源回路30を有している点である。

【0020】電源回路30は、例えば、第1および第2走査位置に対応する垂直ドライバIC20の外部電源端子VDD2に電圧VDD2-ΔV1、第3走査位置に対応する垂直ドライバIC20の外部電源端子VDD2に電圧VDD2-ΔV2(ΔV1>ΔV2)、第4走査位置に対応する垂直ドライバIC20の外部電源端子VDD2に電圧VDD2を生成出力する。従って、4個の垂直ドライバIC20から出力される走査信号の電圧値は、第1および第2走査位置に対応する垂直ドライバIC20より第3走査位置に対応する垂直ドライバIC20の方が高く、第3走査位置に対応する垂直ドライバIC20より第4走査位置に対応する垂直ドライバIC20の方が高い。そのため、これらの走査信号がTFTのゲートに印加される

と、第1および第2走査位置の走査線に接続されているTFTのON抵抗よりも第3走査位置の走査線に接続されているTFTのON抵抗が小さくなり、さらに、第3走査位置の走査線に接続されているTFTのON抵抗よりも第4走査位置の走査線に接続されているTFTのON抵抗が小さくなる。その結果、第1および第2走査位置までのデータ線の配線抵抗に対して、第3および第4走査位置までのデータ線の配線抵抗が大きくなるのをこのON抵抗により調節することによりキャンセルでき、液晶パネルにおいて、データ線の給電側と終端側の位置とで駆動電圧波形を同レベルに近づけることができ、従って輝度も均一となり、輝度むらが発生するのを防止することができる。

【0021】次に、本発明の第2実施例の液晶表示装置について、XGA(1024×768画素)表示の能力があるものとして図2を参照して説明する。この液晶表示装置は、図1の液晶表示装置と同様に、図4に示す水平ドライバIC210として8個の水平ドライバIC10が配置され、図4に示す垂直ドライバIC220として第1および第2走査位置に垂直ドライバIC20が配置される。図1の液晶表示装置と異なる点は、垂直ドライバIC220として、第3および第4走査位置に、垂直ドライバIC40が配置され、垂直ドライバIC20、40の各外部電源端子VDD2、VDD2A、VDD2Bに電圧を供給する電源回路50を有している点である。

【0022】垂直ドライバIC40について、走査線192本分の駆動能力を有するものとして、図3を参照して説明する。尚、図6と同一のものについては同一符号を付してその説明を省略する。図6に示す垂直ドライバIC20と異なる点は、第2レベルシフト23および出力バッファ24を、前半出力O1～O96に対応する第2レベルシフト23Aおよび出力バッファ24Aと、後半出力O97～O192に対応する第2レベルシフト23Bおよび出力バッファ24Bとで構成し、第2レベルシフト23Aおよび出力バッファ24Aの外部電源端子VDD2をVDD2Aとし、第2レベルシフト23Bおよび出力バッファ24Bの外部電源端子VDD2をVDD2Bとした点である。これにより、前半出力O1～O96と後半出力O97～O192とで異なった電圧値の走査信号を出力させることができる。

【0023】電源回路50は、例えば、第1および第2走査位置に対応する垂直ドライバIC20の外部電源端子VDD2に電圧VDD2-ΔV1、第3走査位置に対応する垂直ドライバIC40の外部電源端子VDD2AおよびVDD2Bに電圧VDD2-ΔV2A(ΔV1>ΔV2A)およびVDD2-ΔV2B(ΔV2A>ΔV2B)、第4走査位置に対応する垂直ドライバIC40の外部電源端子VDD2AおよびVDD2Bに電圧VDD2-ΔV3(ΔV2B>ΔV3)およびVDD2を生成出力する。従って、4個の垂直ドライバIC20、40から出力される走査信号の電圧値は、第1およ

び第2走査位置に対応する垂直ドライバIC20より第3走査位置に対応する垂直ドライバIC40の前半出力の方が高く、第3走査位置に対応する垂直ドライバIC40の前半出力よりその後半出力の方が高く、第3走査位置に対応する垂直ドライバIC40の後半出力より第4走査位置に対応する垂直ドライバIC40の前半出力の方が高く、第4走査位置に対応する垂直ドライバIC40の前半出力よりその後半出力の方が高い。そのため、これらの走査信号がTFTのゲートに印加されると、TFTのON抵抗は、第1および第2走査位置の走査線に接続されているTFTよりも第3走査位置の前半走査線に接続されているTFT、第3走査位置の前半走査線に接続されているTFTよりその後半走査線に接続されているTFT、第3走査位置の後半走査線に接続されているTFTより第4走査位置の前半走査線に接続されているTFT、および第4走査位置の前半走査線に接続されているTFTよりその後半走査線に接続されているTFTのほうが小さくなる。その結果、第1および第2走査位置までのデータ線の配線抵抗に対して、第3および第4走査位置までのデータ線の配線抵抗が大きくなるのをこのON抵抗により調節することによりキャンセルでき、液晶パネルにおいて、データ線の給電側と終端側の位置とで駆動電圧波形を同レベルに近づけることができ、従って輝度も均一となり、輝度むらが発生するのを防止することができる。この場合、第1実施例より走査位置によるON抵抗の調節をきめこまかにしているため、第1実施例よりさらに輝度の均一度が向上する。

【0024】以上、第1および第2実施例で説明したように、垂直ドライバIC20、40の外部電源端子VDD2、VDD2A、VDD2Bを走査位置に応じて、データ線の給電側より終端側の方を高くすることにより、走査線に接続されるTFTのON抵抗がデータ線の給電側より終端側の方で小さくなり、その結果、データ線の給電側と終端側とで画素電極までの抵抗成分の大きさが相違するのをこのON抵抗により調節することにより、CR分布定数回路の影響による輝度むらの発生を防止することができる。

【0025】尚、上記第1および第2実施例では、第1および第2走査位置に対応する垂直ドライバIC20の外部電源端子VDD2に供給する電圧を同一電圧値としたが、第1走査位置に対応する垂直ドライバIC20の方*

＊を低くしてもよい。また、第2実施例では、第3および第4走査位置に対応するそれぞれの垂直ドライバIC40において、外部電源端子VDD2AとVDD2Bとで異なる電圧値が供給されることで説明したが同一電圧値が供給されるようにしてもよい。また、第2実施例では、第1および第2走査位置に対応する垂直ドライバIC20として垂直ドライバIC20を例で説明したが、垂直ドライバIC40を用いてもよい。

【0026】

【発明の効果】以上説明したように、本発明によれば、データ線の終端側に近い走査位置の走査信号の電圧値をデータ線の給電側より高くするので、液晶パネルが大型化しても、CR分布定数回路の影響による輝度むらの発生を防止することができる。

【図面の簡単な説明】

【図1】 本発明の第1実施例の液晶表示装置の概略構成を示すブロック図。

【図2】 本発明の第2実施例の液晶表示装置の概略構成を示すブロック図。

【図3】 図2の液晶表示装置に用いられる垂直ドライバICの概略構成を示すブロック図。

【図4】 液晶表示モジュールの概略構造図。

【図5】 図1、図2および図7の液晶表示装置に用いられる水平ドライバICの概略構成を示すブロック図。

【図6】 図1、図2および図7の液晶表示装置に用いられる垂直ドライバICの概略構成を示すブロック図。

【図7】 従来の液晶表示装置の概略構成を示すブロック図。

【図8】 図5の水平ドライバICの回路動作を示すタイミング図。

【図9】 図7の液晶表示装置に用いられたときの図5の水平ドライバICの回路動作における波形図。

【符号の説明】

10 水平ドライバIC

20、40 垂直ドライバIC

21 第1レベルシフタ

22 シフトレジスタ

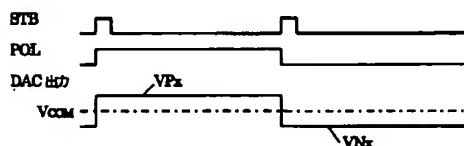
23、23A、23B 第2レベルシフタ

24、24A、24B 出力バッファ

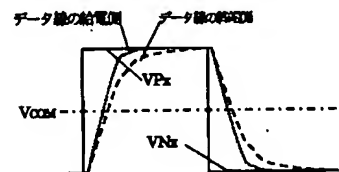
25 内部電源

30、50 電源回路

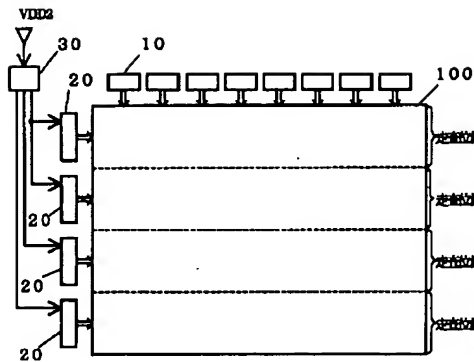
【図8】



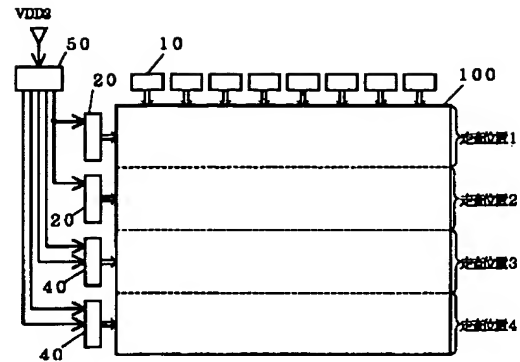
【図9】



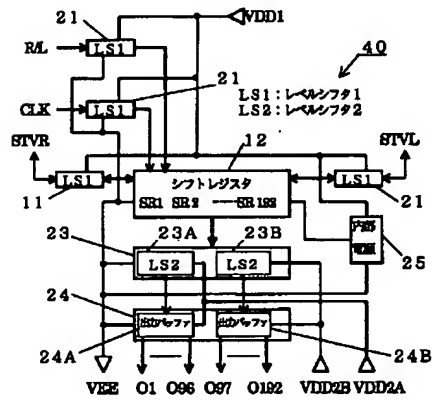
【図1】



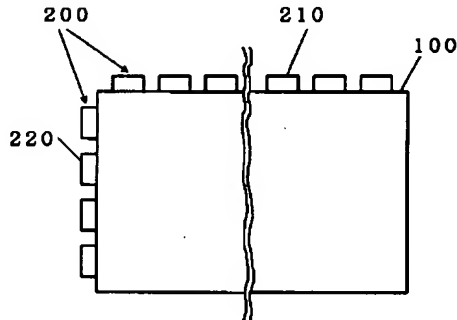
【図2】



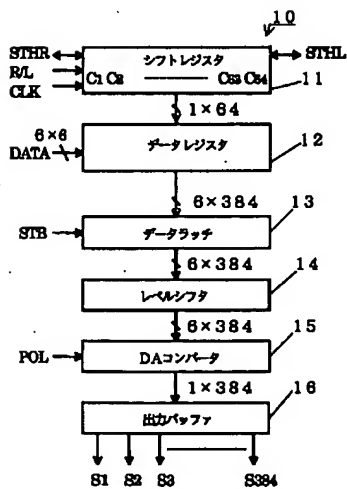
【図3】



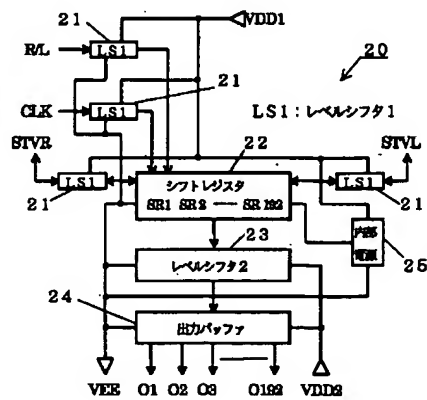
【図4】



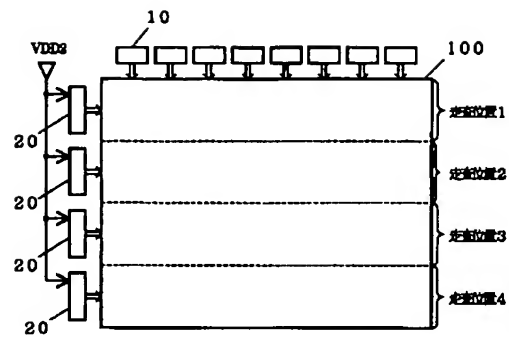
【図5】



【図6】



【図7】



フロントページの続き

(51)Int.Cl.⁷
G 0 9 G 3/20

識別記号

F I
G 0 9 G 3/20

テーマコード(参考)
6 2 2 P

F ターム(参考) 2H093 NA16 NA43 NC03 NC22 NC34
ND09
5C006 AC22 AF42 AF50 AF52 BB16
BC24 BF43 BF46 FA22 FA37
5C080 AA10 BB05 DD05 FF11 JJ02
JJ04